

日本特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

jc997 U.S. PTO
09/842631
04/27/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2001年 2月 5日

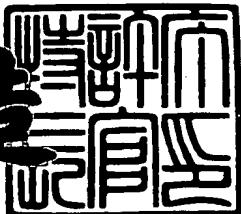
出願番号
Application Number: 特願2001-028606

出願人
Applicant(s): シャープ株式会社

2001年 3月30日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3024905

【書類名】 特許願
【整理番号】 175499
【提出日】 平成13年 2月 5日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/00
【発明者】
【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
【氏名】 ▲しん▼ 文棟
【特許出願人】
【識別番号】 000005049
【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号
【氏名又は名称】 シャープ株式会社
【代理人】
【識別番号】 100062144
【弁理士】
【氏名又は名称】 青山 葦
【選任した代理人】
【識別番号】 100084146
【弁理士】
【氏名又は名称】 山崎 宏
【先の出願に基づく優先権主張】
【出願番号】 特願2000-129690
【出願日】 平成12年 4月28日
【先の出願に基づく優先権主張】
【出願番号】 特願2000-283481
【出願日】 平成12年 9月19日
【手数料の表示】
【予納台帳番号】 013262

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0003090

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項1】 基板上に順次積層された下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタを備えた半導体装置の製造方法であって、

上記強誘電体薄膜を複数の層で構成し、

上記強誘電体薄膜の最下層と上記強誘電体薄膜の最上層との間の層に対して第1温度の加熱処理を第1設定時間施すことにより、上記最下層と上記最上層との間の層を結晶化すると共に、

上記最下層および上記最上層の少なくとも一方に対して上記第1温度よりも低い第2温度の加熱処理を施すことにより、上記最下層および上記最上層の少なくとも一方を結晶化することを特徴とする半導体装置の製造方法。

【請求項2】 請求項1に記載の半導体装置の製造方法において、

上記最下層と上記最上層とを上記第2温度の加熱処理により結晶化することを特徴とする半導体装置の製造方法。

【請求項3】 請求項2に記載の半導体装置の製造方法において、

上記最下層と上記最上層との加熱処理の時間が上記第1設定時間であることを特徴とする半導体装置の製造方法。

【請求項4】 請求項1に記載の半導体装置の製造方法において、

上記最下層を上記第2温度の加熱処理により結晶化すると共に、上記最上層を上記第1設定時間よりも短い第2設定時間の加熱処理により結晶化することを特徴とする半導体装置の製造方法。

【請求項5】 請求項4に記載の半導体装置の製造方法において、

上記最下層を結晶化する加熱処理の時間が上記第1設定時間であると共に、上記最上層を結晶化する加熱処理の温度が上記第1温度であることを特徴とする半導体装置の製造方法。

【請求項6】 請求項1に記載の半導体装置の製造方法において、

上記最下層を上記第1設定時間よりも短い第2設定時間の加熱処理により結晶化すると共に、上記最上層を上記第2温度の加熱処理により結晶化することを特

徴とする半導体装置の製造方法。

【請求項7】 請求項6に記載の半導体装置の製造方法において、上記最下層を結晶化する加熱処理の温度が上記第1温度であると共に、上記最下層を結晶化する加熱処理の時間が上記第1設定時間であることを特徴とする半導体装置の製造方法。

【請求項8】 基板上に順次積層された下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタを備えた半導体装置の製造方法であって、

上記強誘電体薄膜を複数の層で構成し、

上記強誘電体薄膜の最下層と上記強誘電体薄膜の最上層との間の層に対して第1温度の加熱処理を第1設定時間施すことにより、上記最下層と上記最上層との間の層を結晶化すると共に、

上記最下層および上記最上層の少なくとも一方に対して上記第1設定時間よりも短い第2設定時間の加熱処理を施すことにより、上記最下層および上記最上層の少なくとも一方を結晶化することを特徴とする半導体装置の製造方法。

【請求項9】 請求項8に記載の半導体装置の製造方法において、

上記最下層と上記最上層とを上記第2設定時間の加熱処理により結晶化することを特徴とする半導体装置の製造方法。

【請求項10】 請求項9に記載の半導体装置の製造方法において、

上記最下層と上記最上層との加熱処理の温度が上記第1温度であることを特徴とする半導体装置の製造方法。

【請求項11】 請求項1乃至10のいずれか1つに記載の半導体装置の製造方法において、

上記第1温度が700℃を越えかつ800℃以下の温度であることを特徴とする半導体装置の製造方法。

【請求項12】 請求項1乃至11のいずれか1つに記載の半導体装置の製造方法において、

上記第2温度が600℃～700℃の範囲であることを特徴とする半導体装置の製造方法。

【請求項13】 請求項1乃至12のいずれか1つに記載の半導体装置の製

造方法において、

上記第1設定時間が10分を越えかつ60分以下であることを特徴とする半導体装置の製造方法。

【請求項14】 請求項1乃至13のいずれか1つに記載の半導体装置の製造方法において、

上記第2設定時間が5分～10分の範囲であることを特徴とする半導体装置の製造方法。

【請求項15】 請求項1乃至14のいずれか1つに記載の半導体装置の製造方法において、

上記強誘電体薄膜がB_i層状構造強誘電体であることを特徴とする半導体装置の製造方法。

【請求項16】 請求項1乃至15のいずれか1つに記載の半導体装置の製造方法において、

上記強誘電体薄膜の成膜方法は塗布成膜であることを特徴とする半導体装置の製造方法。

【請求項17】 請求項1乃至15のいずれか1つに記載の半導体装置の製造方法において、

上記強誘電体薄膜の成膜方法はLSMCD法であることを特徴とする半導体装置の製造方法。

【請求項18】 請求項17に記載の半導体装置の製造方法において、

上記最下層と上記最上層との間の層は、堆積、第3温度の仮焼成を行う工程を複数回繰り返した後に、上記第1温度の加熱処理を上記第1設定時間施すことにより結晶化することを特徴とする半導体装置の製造方法。

【請求項19】 基板上に順次積層された下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタを有する半導体装置であって、

上記強誘電体薄膜が複数の層で構成され、

上記強誘電体薄膜の最下層および上記強誘電体薄膜の最上層の少なくとも一方の結晶粒が、上記最下層と上記最上層との間の層の結晶粒よりも小さいことを特徴とする半導体装置。

【請求項20】 基板上に順次積層された下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタを有する半導体装置であって、

上記強誘電体薄膜が複数の層で構成され、

上記強誘電体薄膜の最下層および上記強誘電体薄膜の最上層の結晶粒が、上記最下層と上記最上層との間の層の結晶粒よりも小さいことを特徴とする半導体装置。

【請求項21】 基板上に順次積層された下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタを備えた半導体装置の製造方法であって、

上記強誘電体薄膜を複数の層で構成し、

上記強誘電体薄膜の最下層をレーザアニールで結晶化させることを特徴とする半導体装置の製造方法。

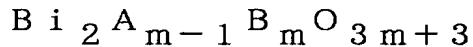
【請求項22】 基板上に順次積層された下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタを備えた半導体装置の製造方法であって、

上記強誘電体薄膜を複数の層で構成し、

上記強誘電体薄膜の最下層を、赤外線加熱によるラピッドサーマルアニールで結晶化させることを特徴とする半導体装置の製造方法。

【請求項23】 請求項21または23に記載の半導体装置の製造方法において、

上記強誘電体薄膜の材料が、



A : Na、K、Pb、Ca、Sr、Ba、およびBiの中から選択した1つ

B : Fe、Ti、Nb、Ta、W、およびMoの中から選択した1つ

m : 自然数

で示される材料であることを特徴とする半導体薄膜の製造方法。

【請求項24】 基板上に順次積層された下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタを有する半導体装置であって、

上記強誘電体薄膜が複数の層で構成され、

上記強誘電体薄膜の最下層の結晶核密度が、上記強誘電体薄膜において上記最下層よりも上の層の結晶核密度よりも高いことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えばF E R A M（強誘電体ランダム・アクセス・メモリ）などに用いられる強誘電体薄膜を有する半導体装置およびその製造方法に関する。

【0002】

【従来の技術】

近年、半導体装置に用いられる強誘電体薄膜の研究が活発に進められている。

上記強誘電体薄膜を有する半導体装置は、その高速書き込み、読み出し、低電圧駆動および良好な疲労特性などの点から、不揮発性メモリであるE P R O M（消去書き込み可能リード・オンリ・メモリ）, E E P R O M（電気的消去書き込み可能リード・オンリ・メモリ）およびフラッシュメモリへの置き換えが可能であると共に、S R A M（スタティック・ランダム・アクセス・メモリ）, D R A M（ダイナミック・ランダム・アクセス・メモリ）への置き換えも可能であるメモリとして、実用化に向けて研究開発が盛んに行われている。

【0003】

また、上記強誘電体薄膜の高誘電率特性を利用することにより、キャパシタサイズを小さくしてD R A Mなどの半導体素子の高集積化が図られ、ギガビット級のデバイスが試作されている。

【0004】

上述したように、上記強誘電体薄膜を有する半導体装置を各種の半導体素子などのデバイスに適用するためには、従来の半導体製造プロセスに整合した強誘電体材料の薄膜化技術の開発が不可欠となる。すなわち、成膜温度の低温化と薄膜の緻密・平坦化によって薄い膜厚で所望の特性を実現でき、微細加工や動作電圧の低減にも対応可能な強誘電体材料およびその薄膜化技術の開発が望まれる。

【0005】

従来、半導体装置としては、基板上に順次積層された下部電極、強誘電体薄膜および上部電極を有する強誘電体キャパシタを有するものがある。この強誘電体キャパシタにおける強誘電体薄膜の材料としては、P Z T (P b Z r_XT i_{1-X}

O_3) と SBT (SrBi₂Ta₂O₉) が検討されている。上記 SBT は、PZT に比べて膜疲労による劣化が少ないという利点と、低電圧駆動が可能であるという利点とを有している。

【0006】

また、上記 SBT を成膜する方法としては、MOD (メタル・オーガニック・ディコムポジション : metal organic decomposition) 法, ゾルゲル法, MOCVD (有機金属化学気相成長 : metal organic chemical vapor deposition) 法およびスパッタリング法などの方法を用いるのが一般的である。このような方法では、強誘電体薄膜に対して強誘電体特性を引き出すために酸化雰囲気中の 600 °C ~ 800 °C の熱処理が必要となる。

【0007】

上記 SBT を材料とする強誘電体薄膜を有する半導体装置の製造方法を以下に説明する。

【0008】

まず、図3 (a) に示すように、熱酸化によって、シリコン基板41の表面に膜厚 200 nm のシリコン酸化膜42を形成した後、そのシリコン酸化膜42 上に、膜厚 30 nm の Ti 密着層43、膜厚 200 nm の Pt 下部電極44をスパッタリング法で順次形成する。そして、上記 Pt 下部電極44 上に、組成比 Sr / Bi / Ta = 8 / 24 / 20 の SBT 溶液を塗布し、250 °C, 5 分間の乾燥工程を行った後、酸素雰囲気中において 600 °C ~ 800 °C, 10 分 ~ 60 分の結晶化アニールを行って SBT 層45を形成する。その後、上記 SBT 層45と同様の製造方法を 3 回繰り返すことにより、SBT 層45 上に SBT 層46, 47, 48 を順次形成し、複数の SBT 層45, 46, 47, 48 からなる膜厚 200 nm の強誘電体薄膜50を作製する。なお、上記 SBT 層45, 46, 47, 48 の各層の結晶化アニールの温度は同じである。

【0009】

最後に、図3 (b) に示すように、上記誘電体薄膜50 上に積層した Pt をフォトリソグラフィでパターンニングして、Pt 上部電極49を形成する。

【0010】

【発明が解決しようとする課題】

しかしながら、上記半導体装置の製造方法では、SBT層45,46,47,48の結晶化アニールを700°C~800°Cの比較的高温で行った場合、強誘電体特性が改善され、残留分極が大きくなるが、ピンホールなどの隙間が大きくなり、ヒステリシスループの対称性も悪くなるために、強誘電体キャパシタの均一性が悪くなるという問題がある。

【0011】

一方、上記SBT層45,46,47,48の結晶化アニールを600°C~700°Cの比較的低温で行った場合、均一で微細な結晶粒を得られるが、残留分極が小さく、強誘電体特性を十分に引き出したとは言えない。したがって、上記強誘電体キャパシタを記憶素子に用いることができないという問題がある。

【0012】

また、特開平10-321809号公報の半導体装置の製造方法では、真空装置を用いて、10 Torrの減圧酸素雰囲気において500°C~700°Cの結晶化アニールを行っている。その結果、上記真空装置を使用するために、結晶化アニールを常圧下で行う場合に比べて量産性が劣るという問題がある。

【0013】

そこで、本発明の目的は、強誘電体キャパシタの均一性を向上でき、かつ、記憶素子に用いることができる量産性が高い半導体装置およびその製造方法を提供することにある。

【0014】

【課題を解決するための手段】

上記目的を達成するため、本発明の半導体装置の製造方法は、基板上に順次積層された下部電極、強誘電体薄膜および上部電極からなる半導体装置の製造方法であって、上記強誘電体薄膜を複数の層で構成し、上記強誘電体薄膜の最下層と上記強誘電体薄膜の最上層との間の層に対して第1温度の加熱処理を第1設定時間施すことにより、上記最下層と上記最上層との間の層を結晶化すると共に、上記最下層および上記最上層の少なくとも一方に対して上記第1温度よりも低い第2温度の加熱処理を施すことにより、上記最下層および上記最上層の少なくとも

一方を結晶化することを特徴としている。

【0015】

本発明の半導体装置の製造方法によれば、上記下部電極上に、複数の層からなる強誘電体薄膜を積層した後、その強誘電体薄膜上に上部電極を形成している。このとき、上記強誘電体薄膜の最下層と強誘電体薄膜の最上層との間の層に対しでは第1温度の加熱処理が第1設定時間施されて、最下層と最上層との間の層が結晶化している。一方、上記強誘電体薄膜の最下層および最上層の少なくとも一方に対しでは第1温度よりも低い第2温度の加熱処理が施されて、最下層および最上層の少なくとも一方が結晶化している。その結果、上記強誘電体薄膜の最下層および最上層の少なくとも一方において、粗大な結晶粒の成長が抑制されて、結晶核密度が高く、ピンホールなどの隙間が小さくなり、表面モフォロジーが改善される。したがって、上記強誘電体薄膜の構造が緻密になり、強誘電体キャパシタの均一性を向上させることができる。

【0016】

また、上記強誘電体薄膜の最下層および最上層の少なくとも一方の表面モフォロジーが改善されるので、下部電極および上部電極の少なくとも一方に対する強誘電体薄膜の密着性が向上し、下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタの電気特性が向上する。したがって、上記強誘電体キャパシタを記憶素子に用いることができる。

【0017】

また、上記強誘電体薄膜の結晶化が真空装置を使用せずに実現されているので、例えば真空引きなどの時間を必要としない。したがって、上記真空装置を用いる場合よりも量産性を高めることができる。

【0018】

また、一実施形態の発明の半導体装置の製造方法は、上記最下層と上記最上層とを上記第2温度の加熱処理により結晶化することを特徴としている。

【0019】

上記一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層、最上層が比較的低温である第2温度の加熱処理で結晶化されることによ

って、強誘電体薄膜の最下層、最上層における粗大な結晶粒の成長を抑制することができる。したがって、上記強誘電体薄膜の最下層、最上層の結晶粒を均一かつ微細にすることができる。

【0020】

また、一実施形態の発明の半導体装置の製造方法は、上記最下層と上記最上層との加熱処理の時間が上記第1設定時間であることを特徴としている。

【0021】

上記一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層、最上層の加熱処理の時間が比較的長時間である第1設定時間であることによって、この加熱処理の温度が比較的低温である第2温度であっても、強誘電体薄膜の最下層、最上層を確実に結晶化することができる。

【0022】

また、一実施形態の発明の半導体装置の製造方法は、上記最下層を上記第2温度の加熱処理により結晶化すると共に、上記最上層を上記第1設定時間よりも短い第2設定時間の加熱処理により結晶化することを特徴としている。

【0023】

上記一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層が比較的低温である第2温度の加熱処理で結晶化されることによって、強誘電体薄膜の最下層における粗大な結晶粒の成長を抑制することができる。したがって、上記強誘電体薄膜の最下層の結晶粒を均一かつ微細にすることができる

【0024】

また、上記強誘電体薄膜の最上層が比較的短時間である第2設定時間の加熱処理で結晶化されることによって、強誘電体薄膜の最上層における粗大な結晶粒の成長を抑制することができる。したがって、上記強誘電体薄膜の最上層の結晶粒を均一かつ微細にすることができる。

【0025】

また、一実施形態の発明の半導体装置の製造方法は、上記最下層を結晶化する加熱処理の時間が上記第1設定時間であると共に、上記最上層を結晶化する加熱

処理の温度が上記第1温度であることを特徴としている。

【0026】

上記一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層を結晶化する加熱処理の時間が比較的長時間である第1設定時間であることによって、この加熱処理の温度が比較的低温である第2温度であっても、強誘電体薄膜の最下層を確実に結晶化することができる。

【0027】

上記強誘電体薄膜の最上層を結晶化する加熱処理の温度が比較的高温である第1温度であることによって、この加熱処理の時間が比較的短時間である第2設定時間であっても、強誘電体薄膜の最上層を確実に結晶化することができる。

【0028】

また、一実施形態の発明の半導体装置の製造方法は、上記最下層を上記第1設定時間よりも短い第2設定時間の加熱処理により結晶化すると共に、上記最上層を上記第2温度の加熱処理により結晶化することを特徴としている。

【0029】

上記一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層が比較的短時間である第2設定時間の加熱処理で結晶化されることによって、強誘電体薄膜の最下層における粗大な結晶粒の成長を抑制することができる。したがって、上記強誘電体薄膜の最下層の結晶粒を均一かつ微細にすることができます。

【0030】

また、上記強誘電体薄膜の最上層が比較的低温である第2温度の加熱処理で結晶化されることによって、強誘電体薄膜の最上層における粗大な結晶粒の成長を抑制することができる。したがって、上記強誘電体薄膜の最上層の結晶粒を均一かつ微細にすることができます。

【0031】

また、一実施形態の発明の半導体装置の製造方法は、上記最下層を結晶化する加熱処理の温度が上記第1温度であると共に、上記最下層を結晶化する加熱処理の時間が上記第1設定時間であることを特徴としている。

【0032】

上記一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層を結晶化する加熱処理の温度が比較的高温である第1温度であることによって、この加熱処理の時間が比較的短時間である第2設定時間であっても、強誘電体薄膜の最下層を確実に結晶化することができる。

【0033】

上記強誘電体薄膜の最上層を結晶化する加熱処理の温度が比較的長時間である第1設定時間であることによって、この加熱処理の温度が比較的低温である第2温度であっても、強誘電体薄膜の最上層を確実に結晶化することができる。

【0034】

また、一実施形態の発明の半導体装置の製造方法は、基板上に順次積層された下部電極、強誘電体薄膜および上部電極からなる強誘電体キャバシタを備えた半導体装置の製造方法であって、上記強誘電体薄膜を複数の層で構成し、上記強誘電体薄膜の最下層と上記強誘電体薄膜の最上層との間の層に対して第1温度の加熱処理を第1設定時間施すことにより、上記最下層と上記最上層との間の層を結晶化すると共に、上記最下層および上記最上層の少なくとも一方に対して上記第1設定時間よりも短い第2設定時間の加熱処理を施すことにより、上記最下層および上記最上層の少なくとも一方を結晶化することを特徴としている。

【0035】

上記一実施形態の発明の半導体装置の製造方法によれば、上記下部電極上に、複数の層からなる強誘電体薄膜を積層した後、その強誘電体薄膜上に上部電極を形成している。このとき、上記強誘電体薄膜の最下層と上記強誘電体薄膜の最上層との間の層に対しては第1温度の加熱処理が第1設定時間施されて、最下層と最上層との間の層が結晶化している。一方、上記強誘電体薄膜の最下層および最上層の少なくとも一方に対しては第1設定時間よりも短い第2設定時間の加熱処理が施されて、最下層および最上層の少なくとも一方が結晶化している。その結果、上記強誘電体薄膜の最下層および最上層の少なくとも一方において、粗大な結晶粒の成長が抑制されて、結晶核密度が高く、ピンホールなどの隙間が小さくなり、表面モフォロジーが改善される。したがって、上記強誘電体薄膜の構造が

緻密になり、強誘電体キャパシタの均一性を向上させることができる。

【0036】

また、上記強誘電体薄膜の最下層および最上層の少なくとも一方の表面モフォロジーが改善されるので、下部電極および上部電極の少なくとも一方に対する強誘電体薄膜の密着性が向上し、下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタの電気特性が向上する。したがって、上記強誘電体キャパシタを記憶素子に用いることができる。

【0037】

また、上記強誘電体薄膜の結晶化が真空装置を使用せずに行われているので、例えば真空引きなどの時間を必要としない。したがって、上記真空装置を用いる場合よりも量産性を高めることができる。

【0038】

また、一実施形態の発明の半導体装置の製造方法は、上記最下層と上記最上層とを上記第2設定時間の加熱処理により結晶化することを特徴としている。

【0039】

上記一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層、最上層が比較的短時間である第2設定時間の加熱処理で結晶化されることによって、強誘電体薄膜の最下層、最上層における粗大な結晶粒の成長を抑制することができる。したがって、上記強誘電体薄膜の最下層、最上層の結晶粒を均一かつ微細にすることができる。

【0040】

また、一実施形態の発明の半導体装置の製造方法は、上記最下層と上記最上層との加熱処理の温度が上記第1温度であることを特徴としている。

【0041】

上記一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層、最上層の加熱処理の温度が比較的高温である第1温度であることによつて、その加熱処理の時間が比較的短時間である第2設定時間であっても、強誘電体薄膜の最下層、最上層を確実に結晶化することができる。

【0042】

また、一実施形態の発明の半導体装置の製造方法は、上記第1温度が700℃を越えかつ800℃以下の温度であることを特徴としている。

【0043】

上記一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層および最上層の少なくとも一方を形成するための加熱処理が比較的短時間である場合、第1温度が700℃を越えかつ800℃以下の温度あることによって、強誘電体薄膜の最下層および最上層の少なくとも一方において均一で微細な結晶粒を確実に得ることができる。

【0044】

また、もし、上記第1温度が700℃以下であると、強誘電体薄膜の最下層および最上層の少なくとも一方において均一で微細な結晶粒を確実に得ることができない場合がある。

【0045】

また、もし、上記第1温度が800℃を越えてしまうと、強誘電体薄膜の最下層および最上層の少なくとも一方の結晶粒が粗大になってしまう。

【0046】

また、一実施形態の発明の半導体装置の製造方法は、上記第2温度が600℃～700℃の範囲であることを特徴としている。

【0047】

上記一実施形態の発明の半導体装置の製造方法によれば、第2温度が600℃～700℃の範囲であることによって、強誘電体薄膜の最下層および最上層の少なくとも一方において均一で微細な結晶粒を確実に得ることができる。

【0048】

また、もし、上記第2温度が600℃未満であると、強誘電体薄膜の最下層および最上層の少なくとも一方において均一で微細な結晶粒を確実に得ことができない。

【0049】

また、もし、上記第2温度が700℃を越えてしまうと、強誘電体薄膜の最下層および最上層の少なくとも一方の結晶粒が粗大になってしまう場合がある。

【0050】

また、一実施形態の発明の半導体装置の製造方法は、上記第1設定時間が10分を越えかつ60分以下であることを特徴としている。

【0051】

上記一実施形態の発明の半導体装置の製造方法によれば、強誘電体薄膜の最下層および最上層の少なくとも一方を形成するための加熱処理が比較的低温である場合、第1設定時間が10分を越えかつ60分以下であることによって、強誘電体薄膜の最下層および最上層の少なくとも一方において均一で微細な結晶粒を確実に得ることができる。

【0052】

また、もし、上記第1設定時間が10分未満だと、強誘電体薄膜の最下層および最上層の少なくとも一方において均一で微細な結晶粒を確実に得ることができない場合がある。

【0053】

また、もし、上記第1設定時間が60分を越えると、強誘電体薄膜の最下層および最上層の少なくとも一方の結晶粒が粗大になってしまふ。

【0054】

また、一実施形態の発明の半導体装置の製造方法は、上記第2設定時間が5分～10分の範囲であることを特徴としている。

【0055】

上記一実施形態の発明の半導体装置の製造方法によれば、上記第2設定時間が5分～10分の範囲であることによって、強誘電体薄膜の最下層および最上層の少なくとも一方において均一で微細な結晶粒を確実に得ることができる。

【0056】

また、もし、上記第2設定時間が5分未満であると、強誘電体薄膜の最下層および最上層の少なくとも一方において均一で微細な結晶粒を確実に得ることができない。

【0057】

また、もし、上記第2設定時間が10分を越えると、誘電体薄膜の最下層およ

び最上層の少なくとも一方の結晶粒が粗大になってしまう場合がある。

【0058】

また、一実施形態の発明の半導体装置の製造方法は、上記強誘電体薄膜がB*i*層状構造強誘電体であることを特徴としている。

【0059】

上記一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜が粗大な結晶粒が生じやすいB*i*層状構造強誘電体であっても、強誘電体薄膜の結晶構造は緻密である。

【0060】

また、一実施形態の発明の半導体装置の製造方法は、上記強誘電体薄膜の成膜方法は塗布成膜であることを特徴としている。

【0061】

上記一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の成膜方法は塗布成膜であることによって、例えばCVD法などよりも簡単に、均一な膜厚の強誘電体薄膜を形成することができる。

【0062】

また、一実施形態の発明の半導体装置の製造方法は、上記強誘電体薄膜の成膜方法はLSMCD法であることを特徴としている。

【0063】

上記一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜をLSMCD法で形成するから、強誘電体薄膜のグレインサイズがより微細になり、より緻密な強誘電体薄膜を形成することができる。

【0064】

また、一実施形態の発明の半導体装置の製造方法は、上記最下層と上記最上層との間の層は、堆積、第3温度の仮焼成を行う工程を複数回繰り返した後に、上記第1温度の加熱処理を上記第1設定時間施すことにより結晶化することを特徴としている。

【0065】

上記一実施形態の発明の半導体装置の製造方法によれば、上記最下層と最上層

との間の層を、堆積、第3温度の仮焼成を行う工程を複数回繰り返して形成するから、第1温度の結晶化アニールを第1設定時間施したときに、大きな結晶が成長する。その結果、残留分極が大きくなり、強誘電体特性を十分かつ確実に引き出すことができる。

【0066】

本発明の半導体装置は、基板上に順次積層された下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタを有する半導体装置であって、上記強誘電体薄膜が複数の層で構成され、上記強誘電体薄膜の最下層および上記強誘電体薄膜の最上層の少なくとも一方の結晶粒が、上記最下層と上記最上層との間の層の結晶粒よりも小さいことを特徴としている。

【0067】

上記構成の半導体装置によれば、上記強誘電体薄膜の最下層および最上層の少なくとも一方の結晶粒が、最下層と最上層との間の層の結晶粒よりも小さいことによって、強誘電体薄膜の最下層および最上層の少なくとも一方は、結晶核密度が高く、表面モフォロジーが良好である。その結果、上記下部電極および上部電極の少なくとも一方に対する強誘電体薄膜の密着性が向上し、下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタの電気特性が向上している。したがって、上記強誘電体キャパシタを記憶素子に用いることができる。

【0068】

また、本発明の半導体装置は、基板上に順次積層された下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタを有する半導体装置であって、上記強誘電体薄膜が複数の層で構成され、上記強誘電体薄膜の最下層および上記強誘電体薄膜の最上層の結晶粒が、上記最下層と上記最上層との間の層の結晶粒よりも小さいことを特徴としている。

【0069】

上記構成の半導体装置によれば、上記強誘電体薄膜の最下層および最上層の結晶粒が、最下層と最上層との間の層の結晶粒よりも小さいことによって、強誘電体薄膜の最下層および最上層は、結晶核密度が高く、表面モフォロジーが良好である。その結果、上記下部電極および上部電極に対する強誘電体薄膜の密着性が

向上し、下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタの電気特性がより向上している。したがって、上記強誘電体キャパシタを記憶素子に用いることができる。

【0070】

本発明の半導体装置の製造方法は、基板上に順次積層された下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタを備えた半導体装置の製造方法であって、上記強誘電体薄膜を複数の層で構成し、上記強誘電体薄膜の最下層をレーザアニールで結晶化させることを特徴としている。

【0071】

上記半導体装置の製造方法によれば、上記下部電極上に、複数の層からなる強誘電体薄膜を積層した後、その強誘電体薄膜上に上部電極を形成している。その強誘電体薄膜の最下層はレーザ光を用いたレーザアニールで結晶化させている。そうすると、上記強誘電体薄膜の最下層では、結晶核の生成が結晶成長よりも先行して、結晶核密度が高くなり、粗大な結晶粒の成長が抑制される。これにより、上記強誘電体薄膜の最下層において、ピンホールなどの隙間が小さくなり、表面モフォロジーが改善される。その結果、上記強誘電体薄膜の結晶粒が微細になり、その結晶粒径の均一性を向上させることができる。したがって、上記強誘電体薄膜の構造が緻密になり、強誘電体キャパシタの電気特性および強誘電体特性を向上させることができる。

【0072】

本発明の半導体装置の製造方法は、基板上に順次積層された下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタを備えた半導体装置の製造方法であって、上記強誘電体薄膜を複数の層で構成し、上記強誘電体薄膜の最下層を、赤外線加熱によるラピッドサーマルアニールで結晶化させることを特徴としている。

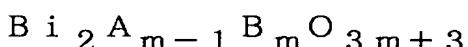
【0073】

上記半導体装置の製造方法によれば、上記下部電極上に、複数の層からなる強誘電体薄膜を積層した後、その強誘電体薄膜上に上部電極を形成している。その強誘電体薄膜の最下層は、例えば赤外線ランプなどを用いた赤外線加熱によるラ

ピッドサーマルアニールで結晶化させている。そうすると、上記強誘電体薄膜の最下層では、結晶核の生成が結晶成長よりも先行して、結晶核密度が高くなり、粗大な結晶粒の成長が抑制される。これにより、上記強誘電体薄膜の最下層において、ピンホールなどの隙間が小さくなり、表面モフォロジーが改善される。その結果、上記強誘電体薄膜の結晶粒が微細になり、その結晶粒径の均一性を向上させることができる。したがって、上記強誘電体薄膜の構造が緻密になり、強誘電体キャパシタの電気特性および強誘電体特性を向上させることができる。

【0074】

一実施形態の半導体装置の製造方法は、上記強誘電体薄膜の材料が、



A : Na、K、Pb、Ca、Sr、Ba、およびBiの中から選択した1つ

B : Fe、Ti、Nb、Ta、W、およびMoの中から選択した1つ

m : 自然数

で示される材料である。

【0075】

これにより、上記強誘電体薄膜において膜疲労による劣化を少なくすることができる。

【0076】

本発明の半導体装置は、基板上に順次積層された下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタを有する半導体装置であって、上記強誘電体薄膜が複数の層で構成され、上記強誘電体薄膜の最下層の結晶核密度が、上記強誘電体薄膜において上記最下層よりも上の層の結晶核密度よりも高いことを特徴としている。

【0077】

上記構成の半導体装置によれば、上記強誘電体薄膜の最下層の結晶核密度が、強誘電体薄膜において最下層よりも上の層の結晶核密度よりも高いので、強誘電体薄膜において粗大な結晶粒の成長が抑制され、強誘電体薄膜の表面モフォロジーが改善される。つまり、上記強誘電体薄膜の構造が緻密になる。その結果、上記強誘電体薄膜と下部電極との間、および、強誘電体薄膜と上部電極との間では

ピンホールなどの隙間が減少し、強誘電体キャパシタの構造を緻密にすることができる。

【0078】

また、上記強誘電体薄膜では、粗大な結晶粒の生長が抑制されるから、結晶粒が微細になって、結晶粒径が均一になる。その結果、上記強誘電体キャパシタの均一性が向上し、ヒステリシスループの対称性も向上して、残留分極を大きくすることができる。

【0079】

また、上記強誘電体薄膜の表面モフォロジーが改善されるから、下部電極および上部電極に対する強誘電体薄膜の密着性が向上して、クラックが減少し、下部電極と上部電極との間で生じるリーク電流を減少させることができる。

【0080】

また、上記強誘電体キャパシタの残留分極が大きく、強誘電体キャパシタにおいてリーク電流が減少しているので、強誘電体キャパシタを記憶素子に用いた場合は記憶素子の性能を向上させることができる。

【0081】

また、上記強誘電体キャパシタに発生するクラックが減少するので、製造歩留を高めることができる。

【0082】

【発明の実施の形態】

以下、本発明の半導体装置およびその製造方法を図示の実施の形態により詳細に説明する。

【0083】

(第1実施形態)

図1 (a)～(c)は本発明の第1実施形態の半導体装置の製造方法の工程図である。この半導体装置の製造方法を以下に説明する。

【0084】

まず、図1 (a)に示すように、熱酸化によって、基板としてのシリコン基板1の表面にシリコン酸化膜2を形成した後、そのシリコン酸化膜2上に、Ti密

着層3、Pt下部電極4をスパッタリング法で順次形成する。そして、上記Pt下部電極4上に、例えば組成比Sr/Bi/Ta=8/24/20のSBT溶液5を例えば厚さ50nmで塗付した後、250℃,5分の乾燥処理を行う。

【0085】

次に、図1(b)に示すように、酸素雰囲気中において第2温度としての600℃～700℃の比較的低い温度のアニールを、第1設定時間としての例えば30分施すことにより、均一で微細な結晶粒を有する最下層としてのSBT層6を形成する。さらに、上記SBT層6上に、SBT溶液を例えば厚さ50nmで塗布して乾燥させた後、酸素雰囲気中において第1温度としての例えば800℃のアニールを30分施してSBT層7を形成する。このSBT層7と同様の形成工程を2回行って、SBT層7上にSBT層8,SBT層9を順次積層し、SBT層6,7,8,9からなる膜厚200nmの強誘電体薄膜10を形成する。

【0086】

最後に、図1(c)に示すように、スパッタリング法によって強誘電体薄膜10上にPtを積層した後、その積層したPtをフォトリソグラフィでパターニングすることによって、所望のパターンを有するPt上部電極9を形成し、Pt下部電極4,強誘電体薄膜10およびPt上部電極11からなる強誘電体キャパシタを完成させる。

【0087】

このように、上記SBT層6を形成するためのアニールの温度が、SBT層7,8,9を形成するためのアニールの温度より低いことによって、SBT層6において粗大な結晶粒の成長が抑制されて、結晶核密度が高く、ピンホールなどの隙間が小さくなり、表面モフォロジーが改善される。したがって、上記強誘電体薄膜10の構造が緻密になり、Pt下部電極4,強誘電体薄膜10およびPt上部電極11からなる強誘電体キャパシタの均一性をより向上させることができる。

【0088】

また、上記SBT層6の表面モフォロジーが改善されるので、Pt下部電極4に対する強誘電体薄膜10の密着性が向上し、Pt下部電極4,強誘電体薄膜10およびPt上部電極11からなる強誘電体キャパシタの電気特性が向上する。

その結果、上記強誘電体キャパシタを記憶素子に用いることができる。

【0089】

また、上記強誘電体薄膜10の結晶化が真空装置を使用せずに行われているので、例えば真空引きなどの時間を必要としない。したがって、上記真空装置を用いる場合よりも量産性を高めることができる。

【0090】

また、上記強誘電体薄膜10が粗大な結晶粒が生じやすいBi層状構造強誘電体であっても、強誘電体薄膜10の結晶構造は緻密である。

【0091】

また、上記強誘電体薄膜10の成膜方法は塗布成膜であるので、例えばCVD法などよりも簡単に、均一な膜厚の強誘電体薄膜10を形成することができる。

【0092】

また、下表に、夫々異なる成膜条件で形成された複数の強誘電体薄膜の電子線強度（カウント数）を示している。この電子線強度が大きいほど結晶性が良く、残留分極が大きくなる。また、上記電子線強度は、X線回折（X-Ray Diffraction）法により、結晶面の1つである105面を測定している。

【表1】

	強誘電体薄膜の形成条件	電子線強度（個／秒）
①	800°C, 30分	600
②	650°C, 30分	450
③	700°C, 30分、 800°C, 30分	1100
④	650°C, 30分 800°C, 30分	1200
⑤	700°C, 30分 800°C, 30分	810
⑥	600°C, 30分 800°C, 30分	900

【0093】

なお、①は、強誘電体薄膜を構成する複数のS B T層の全てを800℃,30分のアニールで形成している。また、②は、強誘電体薄膜を構成する複数のS B T層の全てを650℃,30分のアニールで形成している。また、③は、強誘電体薄膜を構成する複数のS B T層のうちの最下層としてのS B T層のみを700℃,30分のアニールで形成し、それ以外のS B T層は800℃,30分のアニールで形成している。また、④は、強誘電体薄膜を構成する複数のS B T層のうちの最下層としてのS B T層のみを650℃,30分のアニールで形成し、それ以外のS B T層は800℃,30分のアニールで形成している。⑤は、強誘電体薄膜を構成する複数のS B T層のうちの最上層としてのS B T層のみを700℃,30分のアニールで形成し、それ以外のS B T層は800℃,30分のアニールで形成している。⑥は、強誘電体薄膜を構成する複数のS B T層のうちの最上層としてのS B T層のみを600℃,30分のアニールで形成し、それ以外のS B T層は800℃,30分のアニールで形成している。

【0094】

表1に示すように、強誘電体薄膜を構成する複数のS B T層の全てを同じ条件で形成する場合(①,②)と比較して、強誘電体薄膜を構成する複数のS B T層のうちの最下層または最上層のみを比較的低温のアニールで形成する場合(③,④,⑤,⑥)の方が結晶性が良くなっている。また、強誘電体薄膜を構成する複数のS B T層のうちの最下層のみを比較的低温のアニールで形成する場合の方が、強誘電体薄膜を構成する複数のS B T層のうちの最上層のみを比較的低温のアニールで形成する場合よりも電子線強度の値が大きくなる。したがって、強誘電体薄膜を構成する複数のS B T層のうちの最下層にのみを比較的低温のアニールで形成する場合の方が、結晶性がより向上しているのでより好ましい。

【0095】

上記第1実施形態では、S B T層6を形成するためのアニールの時間は30分であったが、そのアニールの時間は10分を越えかつ60分以下であってもよい。

【0096】

また、上記第1実施形態では、酸素雰囲気中において600°C～700°Cのアニールを30分施すことにより、強誘電体薄膜10の最下層としてのSBT層6を形成したが、酸素雰囲気中において700°Cを越えかつ800°C以下のアニールを第2設定時間としての5分～10分施すことにより、強誘電体薄膜の最下層としてのSBT層を形成してもよい。この場合においても上記第1実施形態と同様の効果を奏する。

【0097】

また、上記第1実施形態において、強誘電体キャパシタを形成するために使用する基板は、通常、半導体装置や集積回路などの基板であれば特に限定されるものではないが、シリコン基板が好ましい。

【0098】

また、上記第1実施形態では、組成比Sr/Bi/Ta=8/24/20のSBT溶液を用いたが、その組成比以外のSBT溶液を用いてもよい。

【0099】

(第2実施形態)

図2(a)～(d)は本発明の第2実施形態の半導体装置の製造方法の工程図である。この半導体装置の製造方法を以下に説明する。

【0100】

まず、図2(a)に示すように、熱酸化によって、基板としてのシリコン基板21の表面にシリコン酸化膜22を形成した後、シリコン酸化膜22上に、Ti密着層23、Pt下部電極24をスパッタリング法で順次形成する。そして、上記Pt下部電極24上に、例えば組成比Sr/Bi/Ta=8/24/20のSBT溶液を例えば厚さ40nmで塗付した後、250°C, 5分の乾燥処理を行う。

【0101】

次に、図2(b)に示すように、酸素雰囲気中において第2温度としての600°C～700°Cの比較的低い温度のアニールを、第1設定時間としての30分施すことにより、均一で微細な結晶粒を有する最下層としてのSBT層26を形成する。さらに、上記SBT層26上に、SBT溶液を例えば厚さ40nmで塗布

して乾燥させた後、酸素雰囲気中において第1温度としての例えは750℃のアニールを例えは30分施してSBT層27を形成する。このSBT層27と同様の形成工程を2回行って、SBT層27上にSBT層28, SBT層29を順次積層する。なお、上記SBT層27, 28, 29のアニールの温度は、700℃を越える温度であり、かつ、800℃以下の温度であればよい。また、上記SBT層27, 28, 29のアニールの時間は、10分を越える時間、かつ、60分以下の時間であればよい。

【0102】

次に、図2(c)に示すように、上記SBT層29上にSBT溶液30を塗付する。

【0103】

そして、図2(d)に示すように、上記SBT層29上のSBT溶液30に対して、酸素雰囲気中において600℃～700℃の比較的低い温度のアニールを30分施して、均一で微細な結晶粒を有する最上層としてのSBT層31を形成し、SBT層26, 27, 28, 29, 31からなる膜厚200nmの強誘電体薄膜32を形成する。最後に、スパッタリング法によって、強誘電体薄膜32上にPtを積層した後、その積層したPtをフォトリソグラフィでパターニングすることによって、所望のパターンを有するPt上部電極33を形成し、Pt下部電極24, 強誘電体薄膜32およびPt上部電極33からなる強誘電体キャパシタを完成させる。

【0104】

このように、上記SBT層26, 31を形成するためのアニールの温度が、SBT層27, 28, 29を形成するためのアニールの温度より低いことによって、SBT層26, 31において粗大な結晶粒の成長が抑制されて、結晶核密度が高く、ピンホールなどの隙間が小さくなり、表面モフォロジーが改善される。したがって、上記強誘電体薄膜32の構造が緻密になり、Pt下部電極24, 強誘電体薄膜32およびPt上部電極33からなる強誘電体キャパシタの均一性をより向上させることができる。

【0105】

また、上記S BT層26,31の表面モフォロジーが改善されるので、Pt下部電極24およびPt上部電極33に対する強誘電体薄膜32の密着性が向上し、Pt下部電極24,強誘電体薄膜32およびPt上部電極33からなる強誘電体キャパシタの電気特性がより向上する。その結果、上記強誘電体キャパシタを記憶素子に用いることができる。

【0106】

また、上記強誘電体薄膜32の結晶化が真空装置を使用せずに行われているので、例えば真空引きを行うための時間を必要としない。したがって、上記真空装置を用いる場合よりも量産性を高めることができる。

【0107】

また、上記強誘電体薄膜32が粗大な結晶粒が生じやすいBi層状構造強誘電体であっても、強誘電体薄膜32の結晶構造は緻密である。

【0108】

また、上記強誘電体薄膜32の成膜方法は塗布成膜であることによって、例えばCVD法などよりも簡単に、均一な膜厚の強誘電体薄膜32を形成することができる。

【0109】

上記第2実施形態では、上記S BT層26,31を形成するためのアニールの時間は30分であったが、そのアニールの時間は10分越えかつ60分以下であればよい。

【0110】

また、上記第2実施形態では、600°C~700°C,30分のアニールを行ってS BT層26,31を形成したが、例えば750°C,10分のアニールを行って、強誘電体薄膜の最下層としてのS BT層と、強誘電体薄膜の最上層としてのS BT層とを形成してもよい。この場合も、上記第2実施形態と同様の効果を奏する。ここで、強誘電体薄膜の最下層としてのS BT層と、強誘電体薄膜の最上層としてのS BT層とのアニールの時間は、5分~10分の範囲であればよい。また、上記強誘電体薄膜の最下層としてのS BT層と、強誘電体薄膜の最上層としてのS BT層とのアニールの温度は、700°Cを越えかつ800°C以下であれば

よい。

【0111】

また、例えば750°C, 5~10分のアニールを行って強誘電体薄膜の最下層としてのSBT層を形成し、600°C~700°C, 30分のアニールを行って強誘電体薄膜の最上層としてのSBT層とを形成してもよい。ここで、上記強誘電体薄膜の最下層としてのSBT層のアニールの温度は、700°Cを越えかつ800°C以下であればよい。また、上記強誘電体薄膜の最上層としてのSBT層のアニールの時間は、10分を越えかつ60分以下であればよい。

【0112】

また、例えば600°C~700°C, 30分のアニールを行って強誘電体薄膜の最下層としてのSBT層を形成し、例えば750°C, 5~10分のアニールを行って強誘電体薄膜の最上層としてのSBT層とを形成してもよい。ここで、上記強誘電体薄膜の最下層としてのSBT層のアニールの時間は、10分を越えかつ60分以下であればよい。また、上記強誘電体薄膜の最上層としてのSBT層の、アニールの温度は、700°Cを越えかつ800°C以下であればよい。

【0113】

また、上記第2実施形態において、強誘電体キャパシタを形成するために使用する基板は、通常、半導体装置や集積回路などの基板であれば特に限定されるものではないが、シリコン基板が好ましい。

【0114】

また、上記第2実施形態では、組成比Sr/Bi/Ta = 8/24/20のSBT溶液を用いたが、その組成比以外のSBT溶液を用いてもよい。

【0115】

(第3実施形態)

本発明の第3実施形態の半導体装置の製造方法を以下に説明する。

【0116】

まず、図4(a)に示すように、熱酸化によって、基板としてのシリコン基板61の表面にシリコン酸化膜62を形成した後、そのシリコン酸化膜62上に下部電極63を形成する。そして、LSMCD(Liquid Source Misted Chemical

Deposition) 法を用いて、例えば組成比 S r / B i / T a = 7 / 23 / 20 の S B T 溶液 6 4 を下部電極 6 3 上に堆積する。

【0117】

次に、図4 (b) に示すように、上記 S B T 溶液 6 4 に対して乾燥、仮焼成を行った後、酸素雰囲気中において、第2温度としての 600°C ~ 700°C の比較的低い温度のアニールを、第1設定時間としての例えば 30 分間行うことによって均一性の良い結晶粒径を有する最下層としての初期層 6 5 を下部電極 6 3 上に形成する。更に、上記 L S M C D 法によって、 $Sr_{0.7}Bi_{2.3}Ta_2O_9$ の前駆体の溶液 ($Sr(OOC_2H_4OOC_2H_5)_2$, $Bi(O-nC_4H_9)_3$, $Ta(OOC_2H_5)_5$) を一層堆積させ、150°C, 30 分間の乾燥を施し後、第3温度としての例えば 450°C 中で仮焼成を施す。このような堆積、乾燥および仮焼成を施す工程を例えば 3 回繰り返した後、酸素雰囲気中で第1温度としての 800°C の結晶化アニールを、30 分間行うことにより、S B T 薄膜 6 6 を初期層 6 5 上に形成する。

【0118】

次に、図4 (c) に示すように、上記 S B T 薄膜 6 6 上に、S B T 溶液 6 7 を一層を L S M C D 法により形成する。

【0119】

次に、図4 (d) に示すように、上記 S B T 溶液 6 7 に対して乾燥、仮焼成を行った後、酸素雰囲気中において、600°C ~ 700°C の比較的低い温度のアニールを例えば 30 分間行って、均一性の良い結晶粒径を有する最上層としての最終層 6 8 を S B T 薄膜 6 6 上に形成し、初期層 6 5 , S B T 薄膜 6 6 および最終層 6 8 からなる S B T 強誘電体薄膜 6 9 を形成する。そして、上記 S B T 強誘電体薄膜 6 9 上に、上部電極材料とする P t をスパッタリング法により堆積した後、フォトリソグラフィによりパターンニングしたレジスタをマスクとして P t を加工して、上部電極 7 0 を形成する。

【0120】

このように、600°C ~ 700°C の比較的低い温度のアニールを 30 分間行うことによって、初期層 6 5 と最終層 6 8 とを形成しているから、初期層 6 5 , 最

終層68において粗大な結晶粒の成長が抑制され、結晶核密度が高く、ピンホールなどの隙間が小さくなり、表面モフォロジーが改善される。したがって、上記強誘電体薄膜69の構造が緻密になり、下部電極63、強誘電体薄膜69および上部電極70からなる強誘電体キャパシタの均一性をより向上させることができる。

【0121】

また、上記初期層65と最終層68との表面モフォロジーが改善されるので、下部電極63および部電極70に対する強誘電体薄膜69の密着性が向上し、強誘電体キャパシタ69の電気特性がより向上する。また、800℃の比較的高温の結晶化アニールを30分を行って、S BT薄膜66を形成しているから、残留分極が大きくなり、強誘電体特性を十分に引き出すことができる。その結果、上記強誘電体キャパシタ69を記憶素子に用いることができる。

【0122】

また、上記強誘電体薄膜69の結晶化が真空装置を使用せずに行われているので、例えば真空引きを行うための時間を必要としない。したがって、上記真空装置を用いる場合よりも量産性を高めることができる。

【0123】

また、上記強誘電体薄膜69が粗大な結晶粒が生じやすいBi層状構造強誘電体であっても、強誘電体薄膜69の結晶構造は緻密である。

【0124】

また、上記強誘電体薄膜69をLSMCD法で形成しているから、強誘電体薄膜69のグレインサイズがより微細になり、より緻密な強誘電体薄膜を得ることができる。

【0125】

また、上記S BT薄膜66を、堆積、乾燥、450℃の仮焼成を行う工程を3回繰り返して形成しているから、800℃の結晶化アニールを30分間施したときに、大きな結晶が成長する。その結果、残留分極が大きくなり、強誘電体特性を十分かつ確実に引き出すことができる。

【0126】

上記第3実施形態では、初期層65, SBT薄膜66および最終層68を形成するためのアニールの時間は30分であったが、そのアニールの時間は10分を越えかつ60分以下であってもよい。

【0127】

また、上記初期層65, 最終層68を形成するためのアニールの温度は600°C～700°Cであったが、事前に450°Cの仮焼成を行っているので、そのアニールの温度は550°C～700°Cでもよい。

【0128】

また、上記SBT薄膜66を形成するために、堆積、乾燥および仮焼成を施す工程を3回繰り返したが、2回または3回以上繰り返してもよい。要するに、乾燥および仮焼成を施す工程は複数回繰り返してもよい。

【0129】

また、上記SBT薄膜66を結晶化するための結晶化アニールの温度は800°Cであったが、その結晶化アニールの温度は700°Cを越えかつ800°C以下であってもよい。

【0130】

(第4実施形態)

本発明の第4実施形態の半導体装置の製造方法は、初期層65および最終層68の形成方法のみが第3実施形態と異なっている。

【0131】

以下、上記初期層65および最終層68を形成する方法を図4を用いて説明する。なお、上記初期層65および最終層68の形成する以外の工程は、第3実施形態と同様であるので説明を省略する。

【0132】

上記初期層65は次のようにして形成する。図4(a)に示すSBT溶液64に対して乾燥、仮焼成を行った後、酸素雰囲気中において、第1温度としての例えば800°Cの比較的高温のアニールを、第2設定時間としての5～10分間行う。これにより、図4(b)に示すように、均一性の良い結晶粒径を有する初期層65が下部電極63上に形成される。

【0133】

また、上記最終層68は次のようにして形成する。図4(c)に示すSBT溶液67に対して乾燥、仮焼成を行った後、酸素雰囲気中において、例えば800°Cの比較的高温のアニールを5分～10分間行う。これにより、図4(d)に示すように、均一性の良い結晶粒径を有する最終層68がSBT薄膜66上に形成される。

【0134】

このように、上記初期層65と最終層68とを形成しても、第3実施形態と同様の効果を奏する。

【0135】

上記第4実施形態では、初期層65、最終層68を形成するためのアニールの温度は800°Cであったが、そのアニールの温度は700°Cを越えかつ800°C以下であればよい。

【0136】

(第5実施形態)

本発明の第5実施形態の半導体装置の製造方法は、初期層65および最終層68の形成方法のみが第3実施形態と異なっている。

【0137】

以下、上記初期層65および最終層68を形成する方法を図4を用いて説明する。なお、上記初期層65および最終層68以外の形成工程は、第3実施形態と同様であるので説明を省略する。

【0138】

上記初期層65は次のようにして形成する。図4(a)に示すSBT溶液64に対して乾燥、仮焼成を行った後、酸素雰囲気中において、第2温度としての600°C～700°Cの比較的低い温度のアニールを、第1設定時間としての例えば30分間行う。これにより、図4(b)に示すように、均一性の良い結晶粒径を有する初期層65が下部電極63上に形成される。

【0139】

また、上記最終層68は次のようにして形成する。図4(c)に示すSBT溶

液67に対して乾燥、仮焼成を行った後、酸素雰囲気中において、例えば800°Cの比較的高温のアニールを5分～10分間行う。これにより、図4(d)に示すように、均一性の良い結晶粒径を有する最終層68がSBT薄膜66上に形成される。

【0140】

このように、上記初期層65と最終層68とを形成しても、第3実施形態と同様の効果を奏する。

【0141】

上記第5実施形態では、初期層65を形成するためのアニールの温度は600°C～700°Cであったが、事前に450°Cの仮焼成を行っているので、そのアニールの温度は550°C～700°Cでもよい。

【0142】

また、上記初期層65を形成するためのアニールの時間は30分であったが、そのアニールの時間は10分を越えかつ60分以下であってもよい。

【0143】

また、上記最終層68を形成するためのアニールの温度は800°Cであったが、そのアニールの温度は700°Cを越えかつ800°C以下であってもよい。

【0144】

(第6実施形態)

本発明の第6実施形態の半導体装置の製造方法は、初期層65および最終層68の形成方法のみが第3実施形態と異なっている。

【0145】

以下、上記初期層65および最終層68を形成する方法を図4を用いて説明する。なお、上記初期層65および最終層68以外の形成工程は、第3実施形態と同様であるので説明を省略する。

【0146】

上記初期層65は次のようにして形成する。図4(a)に示すSBT溶液64に対して乾燥、仮焼成を行った後、酸素雰囲気中において、例えば800°Cの比較的高温のアニールを5分～10分間行う。これにより、図4(b)に示すよう

に、均一性の良い結晶粒径を有する初期層65が下部電極63上に形成される。

【0147】

また、上記最終層68は次のようにして形成する。図4(c)に示すSBT溶液67に対して乾燥、仮焼成を行った後、酸素雰囲気中において、第2温度としての600℃～700℃の比較的低い温度のアニールを、第1設定時間としての例えば30分間行う。これにより、図4(d)に示すように、均一性の良い結晶粒径を有する最終層68がSBT薄膜66上に形成される。

【0148】

このように、上記初期層65と最終層68とを形成しても、第3実施形態と同様の効果を奏する。

【0149】

上記第6実施形態では、上記初期層65を形成するためのアニールの温度は800℃であったが、そのアニールの温度は700℃を越えかつ800℃以下であってもよい。

【0150】

また、上記最終層68を形成するためのアニールの温度は600℃～700℃であったが、事前に450℃の仮焼成を行っているので、そのアニールの温度は550℃～700℃でもよい。

【0151】

また、上記最終層68を形成するためのアニールの時間は30分であったが、そのアニールの時間は10分を越えかつ60分以下であってもよい。

【0152】

(第7実施形態)

図5に、本発明の第7実施形態の半導体装置の製造方法のフローチャートを示し、図6(a), (b)に、上記半導体装置の製造方法の工程図を示している。なお、上記半導体装置の製造方法においては、結晶化された強誘電体薄膜が得られる。

【0153】

以下、図5および図6(a), (b)を用いて、上記半導体装置の製造方法を

説明する。

【0154】

まず、図6（a）に示すように、熱酸化によって、シリコン基板71上にシリコン酸化膜72を形成する。さらに、上記シリコン酸化膜72上に、Tiからなる密着層73、Ptからなる下部電極74をスパッタリング法で順次積層する（図5のステップS70）。

【0155】

次に、上記下部電極74上に塗付するSBT溶液の調整を行う。具体的には、組成比がSr/Bi/Ta = 8/24/20なるように、SBT溶液を調整する（図5のステップS71）。

【0156】

そして、上記下部電極74上に、Sr/Bi/Ta = 8/24/20のSBT溶液をスピンドローティングする（図5のステップS72）。

【0157】

次に、250℃, 5分の乾燥を行って、結晶化前のSBT層76を下部電極74上に形成する（図5のステップS73）。

【0158】

引き続き、上記SBT層76に対してレーザアニールを施すことにより、SBT層76を結晶化させて、図6（b）に示すように、均一性の良い結晶粒形を有する最下層としてのシード層86を、下部電極74上に形成する（図5のステップS74）。

【0159】

次に、上記シード層86上にSBT溶液をスピンドローティングする（図5のステップS75）。

【0160】

そして、上記シード層86上にある結晶化前のSBT層に対して、250℃, 5分の乾燥を行う（図5のステップS76）。

【0161】

次に、乾燥させたSBT層を700℃, 30分のアニールで結晶化させる。こ

れにより、上記シード層86上に、結晶化したSBT層77が形成される（図5のステップS77）。

【0162】

その後、ステップS75～S77を3回繰り返して、SBT層77上にSBT層78, SBT層79を順次積層することにより、シード層86およびSBT層77, 78, 79, 80からなる膜厚200nmの強誘電体薄膜81を形成する。つまり、上記ステップS75～S77は合計4回繰り返される。

【0163】

次に、上記SBT層80上に、上部電極材料のPtをスパッタリングで堆積させる。そして、フォトリソグラフィにより、堆積したPt上に所望とする形状のレジストを形成する。このレジストをマスクとして用いて、堆積したPtをパターニングする。これにより、上記強誘電体薄膜81上にPtからなる上部電極82が形成される（図5のステップS78）。

【0164】

このように、上記シード層86がレーザアニールで結晶化されているから、シード層86では結晶成長よりも結晶核の生成が先行し、シード層86において粗大な結晶粒の成長が抑制されて、結晶核密度の高いシード層86が得られている。これにより、上記強誘電体薄膜81の表面モフォロジーが改善されると共に、強誘電体薄膜81の結晶粒径の均一性が向上する。したがって、上記記強誘電体薄膜81の構造が緻密になり、下部電極74, 強誘電体薄膜81および上部電極82からなる強誘電体キャパシタの電気特性および強誘電体特性を向上させることができる。

【0165】

また、上記強誘電体薄膜81では、粗大な結晶粒の生長が抑制されるから、結晶粒が微細になると共に、結晶粒径が均一になる。その結果、上記下部電極74, 強誘電体薄膜81, および上部電極82で構成する強誘電体キャパシタの均一性が向上し、ヒステリシスループの対称性も向上して、残留分極を大きくすることができます。

【0166】

また、上記強誘電体薄膜81の表面モフォロジーが改善されるから、下部電極74および上部電極82に対する強誘電体薄膜81の密着性が向上して、クラックが減少し、下部電極74と上部電極82との間で生じるリーク電流を減少させることができる。

【0167】

また、上記強誘電体キャパシタの残留分極が大きく、強誘電体キャパシタにおいてリーク電流が減少しているので、強誘電体キャパシタを記憶素子に用いた場合は記憶素子の性能を向上させることができる。

【0168】

また、上記強誘電体キャパシタに発生するクラックが減少するので、製造歩留を高めることができる。

【0169】

また、上記強誘電体薄膜81の結晶化が真空装置を使用せずに行われているので、例えば真空引きなどの時間を必要としない。したがって、上記真空装置を用いる場合よりも量産性を高めることができる。

【0170】

また、上記強誘電体薄膜81は粗大な結晶粒が生じやすいBi層状構造強誘電体であるが、強誘電体薄膜81の結晶構造は緻密である。

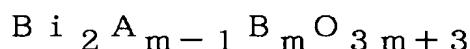
【0171】

上記第7実施形態では、組成比Sr/Bi/Ta=8/24/20のSBT溶液を用いたが、これに限定されるものではない。すなわち他の組成比のSBT溶液を使用してもよい。

【0172】

また、上記強誘電体薄膜81は、強誘電体特性を有する結晶化された薄膜であれば特に限定されるものではない。例えば、以下の組成式の材料で強誘電体薄膜81を形成してもよい。

【0173】



A:Na、K、Pb、Ca、Sr、Ba、およびBiの中から選択した1つ

B : Fe、Ti、Nb、Ta、W、およびMoの中から選択した1つ

m : 自然数

上記強誘電体薄膜の材料として $B_{i-2}A_{m-1}B_mO_{3m+3}$ を用いた場合は、強誘電体薄膜において膜疲労による劣化を少なくすることができる。

【0174】

また、上記SBT層77,78,79,80の熱処理としては、レーザーハニール、赤外ランプなどを用いた赤外線加熱によるラピッドサーマルアニールなどの公知のアニールにより行うことができる。

【0175】

また、上記シード層86およびSBT層77,78,79,80を形成するために行う熱処理の温度は、結晶化のための温度であれば特に限定されるものではないが、低いほど好ましく、例えば、750℃以下、好ましくは600～750℃、より好ましくは600～700℃、さらに好ましくは600～650℃の温度範囲が挙げられる。そして、上記熱処理の時間は、熱処理の温度に応じて適宜設定すればよい。上記レーザーハニールを行う時間としては、例えば、1秒～60分間程度が挙げられる。

【0176】

また、上記第7実施形態では、基板としてシリコン基板71を用いていたが、通常、半導体装置や集積回路などの基板として使用することができる基板を用いてもよい。すなわち、基板はシリコン基板71に限定されるものではない。例えば、シリコンなどの半導体基板、GaAsなどの化合物半導体基板、MgOなどの酸化物結晶基板、硝子基板などを用いていよい。そして、それらのなかから、形成しようとする素子の種類や用途などにより適切な基板を選択すればよい。それらのなかでもシリコン基板が好ましい。

【0177】

また、上記下部電極74はPtで形成したが、下部電極74の材料はPtに限定されない。上記下部電極の材料としては、下部電極上に形成する強誘電体薄膜の成膜プロセスに耐えることができ、導電性を有する材料であれば特に限定されるものではない。例えば、Ta、Ti、Pt、Pt/Ti、Pt/Taなど

を下部電極の材料として用いることができる。また、上記下部電極の膜厚も特に限定されない。上記下部電極の膜厚は、形成しようとする素子のサイズなどに応じて適宜調整すればよい。

【0178】

また、上記実施形態では、ステップS75～S77を4回繰り返したが、複数回繰り返してもよい。好ましくは、ステップS75～S77を3～5回繰り返す。

【0179】

(第8実施形態)

図7に、本発明の第8実施形態の半導体装置の製造方法のフローチャートを示している。上記第7実施形態では、強誘電体薄膜の最下層としてのシード層を得るためにレーザアニールを行ったが、本実施形態では、強誘電体薄膜の最下層としてのシード層を得るための熱処理の方法のみが第7実施形態と異なる。

【0180】

以下、図6(a), (b)および図7を用いて、上記半導体装置の製造方法を説明する。

【0181】

まず、図6(a)に示すように、熱酸化によって、シリコン基板71上にシリコン酸化膜72を形成する。さらに、上記シリコン酸化膜72上に、Tiからなる密着層73、Ptからなる下部電極74をスパッタリング法で順次積層する(図7のステップS80)。

【0182】

次に、上記下部電極74上に塗付するSBT溶液の調整を行う。具体的には、組成比がSr/Bi/Ta = 8/24/20なるように、SBT溶液を調整する(図7のステップS81)。

【0183】

そして、上記下部電極74上に、Sr/Bi/Ta = 8/24/20のSBT溶液をスピニコーティングする(図7のステップS82)。

【0184】

次に、250°C, 5分の乾燥を行って、結晶化前のSBT層76を下部電極74上に形成する（図7のステップS83）。

【0185】

引き続き、上記SBT層76に対して例えば赤外線ランプなどを用いた赤外線加熱によりラピッドサーマルアニールを施すことにより、SBT層76を結晶化させて、図6（b）に示すように、均一性の良い結晶粒形を有する最下層としてのシード層86を、下部電極74上に形成する（図7のステップS84）。

【0186】

次に、上記シード層86上にSBT溶液をスピンドルコートィングする（図5のステップS75）。

【0187】

そして、上記シード層86上にある結晶化前のSBT層に対して、250°C, 5分の乾燥を行う（図7のステップS86）。

【0188】

次に、乾燥させたSBT層を700°C, 30分のアニールで結晶化させる。これにより、上記シード層86上に、結晶化したSBT層77が形成される（図7のステップS87）。

【0189】

その後、ステップS75～S77を3回繰り返して、SBT層77上にSBT層78, SBT層79を順次積層することにより、シード層86およびSBT層77, 78, 79, 80からなる膜厚200nmの強誘電体薄膜81を形成する。つまり、上記ステップS75～S77は合計4回繰り返される。

【0190】

次に、上記SBT層80上に、上部電極材料のPtをスパッタリングで堆積させる。そして、フォトリソグラフィにより、堆積したPt上に所望とする形状のレジストを形成する。このレジストをマスクとして用いて、堆積したPtをパターニングする。これにより、上記強誘電体薄膜81上にPtからなる上部電極82が形成される（図7のステップS88）。

【0191】

上記構成の半導体装置の製造方法によれば、第7実施形態と同様の効果を奏すと共に、サーマルラピッドアニールによりシード層86を得ているので、レーザアニールによりシード層86を得る場合よりも、製造コストを下げることができる。

【0192】

上記第7実施形態では、組成比Sr/Bi/Ta = 8/24/20のSBT溶液を用いたが、これに限定されるものではない。すなわち他の組成比のSBT溶液を使用してもよい。

【0193】

【発明の効果】

本発明の半導体装置の製造方法によれば、比較的低い第2温度の加熱処理を強誘電体薄膜の最下層および最上層の少なくとも一方に施すので、強誘電体薄膜の最下層および最上層の少なくとも一方において、粗大な結晶粒の成長が抑制され、結晶核密度が高く、ピンホールなどの隙間が小さくなり、表面モフォロジーが改善される。したがって、上記強誘電体薄膜の構造が緻密になり、強誘電体キャパシタの均一性を向上させることができる。

【0194】

また、上記強誘電体薄膜の最下層および最上層の少なくとも一方の表面モフォロジーが改善されるので、下部電極および上部電極の少なくとも一方に対する強誘電体薄膜の密着性が向上し、下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタの電気特性が向上する。したがって、上記強誘電体キャパシタを記憶素子に用いることができる。

【0195】

また、上記強誘電体薄膜の結晶化が真空装置を用いずに行われているので、例えば真空引きなどの時間を必要とせず、真空装置を用いる場合よりも量産性を高めることができる。

【0196】

一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層、最上層が比較的低温である第2温度の加熱処理で結晶化されているので、強

誘電体薄膜の最下層、最上層における粗大な結晶粒の成長を抑制し、強誘電体薄膜の最下層、最上層の結晶粒を均一かつ微細にすることができる。

【0197】

一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層、最上層の加熱処理の時間が比較的長時間である第1設定時間であるので、この加熱処理の温度が比較的低温である第2温度であっても、強誘電体薄膜の最下層、最上層を確実に結晶化することができる。

【0198】

一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層が比較的低温である第2温度の加熱処理で結晶化されるので、強誘電体薄膜の最下層における粗大な結晶粒の成長を抑制し、強誘電体薄膜の最下層の結晶粒を均一かつ微細にすることができる。

【0199】

また、上記強誘電体薄膜の最上層が比較的短時間である第2設定時間の加熱処理で結晶化されるので、強誘電体薄膜の最上層における粗大な結晶粒の成長を抑制し、強誘電体薄膜の最上層の結晶粒を均一かつ微細にすることができる。

【0200】

一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層を結晶化する加熱処理の時間が比較的長時間である第1設定時間であるので、この加熱処理の温度が比較的低温である第2温度であっても、強誘電体薄膜の最下層を確実に結晶化することができる。

【0201】

上記強誘電体薄膜の最上層を結晶化する加熱処理の温度が比較的高温である第1温度であるので、この加熱処理の時間が比較的短時間である第2設定時間であっても、強誘電体薄膜の最上層を確実に結晶化することができる。

【0202】

一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層が比較的短時間である第2設定時間の加熱処理で結晶化されるので、強誘電体薄膜の最下層における粗大な結晶粒の成長を抑制し、強誘電体薄膜の最下層の結

晶粒を均一かつ微細にことができる。

【0203】

また、上記強誘電体薄膜の最上層が比較的低温である第2温度の加熱処理で結晶化されるので、強誘電体薄膜の最上層における粗大な結晶粒の成長を抑制し、強誘電体薄膜の最上層の結晶粒を均一かつ微細にことができる。

【0204】

一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層を結晶化する加熱処理の温度が比較的高温である第1温度であるので、この加熱処理の時間が比較的短時間である第2設定時間であっても、強誘電体薄膜の最下層を確実に結晶化することができる。

【0205】

上記強誘電体薄膜の最上層を結晶化する加熱処理の温度が比較的長時間である第1設定時間であるので、この加熱処理の温度が比較的低温である第2温度であっても、強誘電体薄膜の最上層を確実に結晶化することができる。

【0206】

一実施形態の発明の半導体装置の製造方法によれば、比較的短い第2設定時間の加熱処理を強誘電体薄膜の最下層および最上層の少なくとも一方に施すので、強誘電体薄膜の最下層および最上層の少なくとも一方において、粗大な結晶粒の成長が抑制されて、結晶核密度が高く、ピンホールなどの隙間が小さくなり、表面モフォロジーが改善される。したがって、上記強誘電体薄膜の構造が緻密になり、強誘電体キャパシタの均一性を向上させることができる。

【0207】

また、上記強誘電体薄膜の最下層および最上層の少なくとも一方の表面モフォロジーが改善されるので、下部電極および上部電極の少なくとも一方に対する強誘電体薄膜の密着性が向上し、下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタの電気特性が向上する。したがって、上記強誘電体キャパシタを記憶素子に用いることができる。

【0208】

また、上記強誘電体薄膜の結晶化が真空装置を用いずに行われているので、例

えば真空引きなどの時間を必要とせず、真空装置を用いる場合よりも量産性を高めることができる。

【0209】

一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層、最上層が比較的短時間である第2設定時間の加熱処理で結晶化されるので、強誘電体薄膜の最下層、最上層における粗大な結晶粒の成長を抑制し、強誘電体薄膜の最下層、最上層の結晶粒を均一かつ微細にすることができる。

【0210】

一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層、最上層の加熱処理の温度が比較的高温である第1温度であるので、その加熱処理の時間が比較的短時間である第2設定時間であっても、強誘電体薄膜の最下層、最上層を確実に結晶化することができる。

【0211】

一実施形態の発明の半導体装置の製造方法は、上記強誘電体薄膜の最下層および最上層の少なくとも一方を形成するための加熱処理が比較的短時間である場合、第1温度が700℃を越えかつ800℃以下の温度あるので、強誘電体薄膜の最下層および最上層の少なくとも一方において均一で微細な結晶粒を確実に得ることができる。

【0212】

一実施形態の発明の半導体装置の製造方法は、第2温度が600℃～700℃の範囲であるので、強誘電体薄膜の最下層および最上層の少なくとも一方において均一で微細な結晶粒を確実に得ることができる。

【0213】

一実施形態の発明の半導体装置の製造方法は、強誘電体薄膜の最下層および最上層の少なくとも一方を形成するための加熱処理が比較的低温である場合、第1設定時間が10分を越えかつ60分以下であるので、強誘電体薄膜の最下層および最上層の少なくとも一方において均一で微細な結晶粒を確実に得ることができる。

【0214】

一実施形態の発明の半導体装置の製造方法は、上記第2設定時間が5分～10分の範囲であるので、強誘電体薄膜の最下層および最上層の少なくとも一方において均一で微細な結晶粒を確実に得ることができる。

【0215】

一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜が粗大な結晶粒が生じやすいBi層状構造強誘電体であっても、強誘電体薄膜の結晶構造は緻密である。

【0216】

一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の成膜方法は塗布成膜であることによって、例えばCVD法などよりも簡単に、均一な膜厚の強誘電体薄膜を形成することができる。

【0217】

一実施形態の発明の半導体装置の製造方法は、上記強誘電体薄膜をLSMCD法で形成するから、強誘電体薄膜のグレインサイズがより微細になり、より緻密な強誘電体薄膜を形成することができる。

【0218】

一実施形態の発明の半導体装置の製造方法は、上記最下層と最上層との間の層を、堆積、第3温度の仮焼成を行う工程を複数回繰り返して形成するから、第1温度の結晶化アニールを第1設定時間施したときに、大きな結晶が成長して、残留分極が大きくなり、強誘電体特性を十分かつ確実に引き出すことができる。

【0219】

本発明の半導体装置によれば、上記強誘電体薄膜の最下層および最上層の少なくとも一方の結晶粒が、最下層と最上層との間の層の結晶粒よりも小さいので、強誘電体薄膜の最下層および最上層の少なくとも一方は、結晶核密度が高く、表面モフォロジーが良好であり、下部電極および上部電極の少なくとも一方に対する強誘電体薄膜の密着性が向上する。したがって、上記下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタの電気特性が向上し、強誘電体キャパシタを記憶素子に用いることができる。

【0220】

本発明の半導体装置によれば、上記強誘電体薄膜の最下層および最上層の結晶粒が、最下層と最上層との間の層の結晶粒よりも小さいので、強誘電体薄膜の最下層および最上層は、結晶核密度が高く、表面モフォロジーが良好であり、下部電極および上部電極に対する強誘電体薄膜の密着性が向上する。したがって、上記下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタの電気特性がより向上し、強誘電体キャパシタを記憶素子に用いることができる。

【0221】

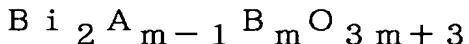
本発明の半導体装置の製造方法によれば、強誘電体薄膜の最下層はレーザ光を用いたレーザアニールで結晶化させているから、強誘電体薄膜の結晶粒が微細になり、その結晶粒径の均一性が向上して、強誘電体薄膜の構造が緻密になり、強誘電体キャパシタの電気特性および強誘電体特性を向上させることができる。

【0222】

本発明の半導体装置の製造方法によれば、強誘電体薄膜の最下層は、例えば赤外線ランプなどを用いた赤外線加熱によるラピッドサーマルアニールで結晶化させるから、強誘電体薄膜の結晶粒が微細になり、その結晶粒径の均一性も向上して、強誘電体薄膜の構造が緻密になり、強誘電体キャパシタの電気特性および強誘電体特性を向上させることができる。

【0223】

一実施形態の半導体装置の製造方法は、上記強誘電体薄膜の材料が、



A : Na、K、Pb、Ca、Sr、Ba、およびBiの中から選択した1つ

B : Fe、Ti、Nb、Ta、W、およびMoの中から選択した1つ

m : 自然数

で示される材料であるから、強誘電体薄膜において膜疲労による劣化を少なくすることができる。

【0224】

本発明の半導体装置は、強誘電体薄膜の最下層の結晶核密度が、強誘電体薄膜において最下層よりも上の層の結晶核密度よりも高いので、強誘電体薄膜において粗大な結晶粒の成長が抑制され、強誘電体薄膜の表面モフォロジーが改善され

て、強誘電体薄膜と下部電極との間、および、強誘電体薄膜と上部電極との間ではピンホールなどの隙間が減少し、強誘電体キャパシタの構造が緻密になる。

【0225】

また、上記強誘電体薄膜では、粗大な結晶粒の生長が抑制されるから、強誘電体キャパシタの均一性が向上し、ヒステリシスループの対称性も向上して、残留分極を大きくすることができる。

【0226】

また、上記強誘電体薄膜の表面モフォロジーが改善されるから、下部電極および上部電極に対する強誘電体薄膜の密着性が向上して、クラックが減少し、下部電極と上部電極との間で生じるリークを減少させることができる。

【0227】

また、上記強誘電体キャパシタの残留分極が大きく、強誘電体キャパシタにおいてリーク電流が減少しているので、強誘電体キャパシタを記憶素子に用いた場合は記憶素子の性能を向上させることができる。

【0228】

また、上記強誘電体キャパシタを製造するときに発生するクラックが減少するので、製造歩留を高めることができる。

【図面の簡単な説明】

【図1】 図1 (a) ~ (c) は本発明の第1実施形態の半導体装置の製造方法の工程図である。

【図2】 図2 (a) ~ (d) は本発明の第2実施形態の半導体装置の製造方法の工程図である。

【図3】 図3 (a), (b) は従来の半導体装置の製造方法の工程図である。

【図4】 図4 (a) ~ (d) は本発明の第2, 第3, 第4, 第5および第6実施形態の半導体装置の製造方法の工程図である。

【図5】 図5は本発明の第7実施形態の半導体装置の製造方法のフローチャートである。

【図6】 図6 (a), (b) は本発明の第7, 第8実施形態の半導体装置の

製造方法の工程図である。

【図7】 図7は上記第8実施形態の半導体装置の製造方法のフローチャートである。

【符号の説明】

1,21,61,71 シリコン基板

4,24 Pt 下部電極

6,7,8,9 SBT層

11,33 Pt 上部電極

10,32,69,81 強誘電体薄膜

26,27,28,29 SBT層

63,74 下部電極

65 初期層

66 SBT薄膜

68 最終層

70,82 上部電極

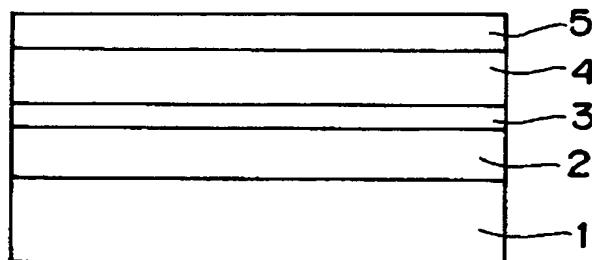
77,78,79,80 SBT層

86 シード層

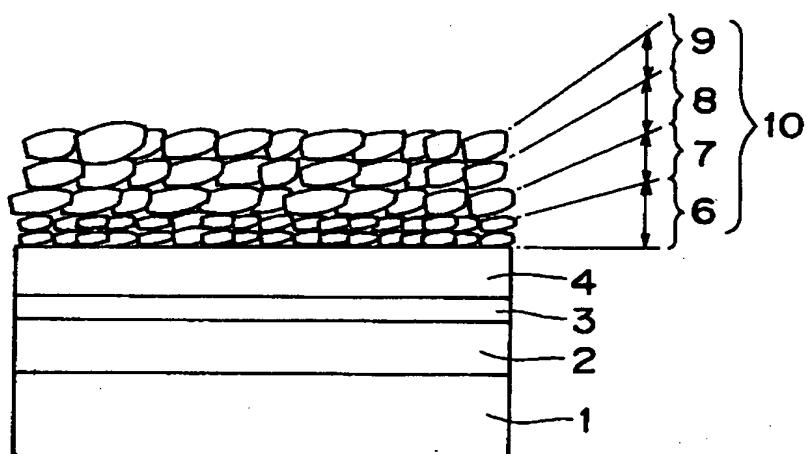
【書類名】 図面

【図1】

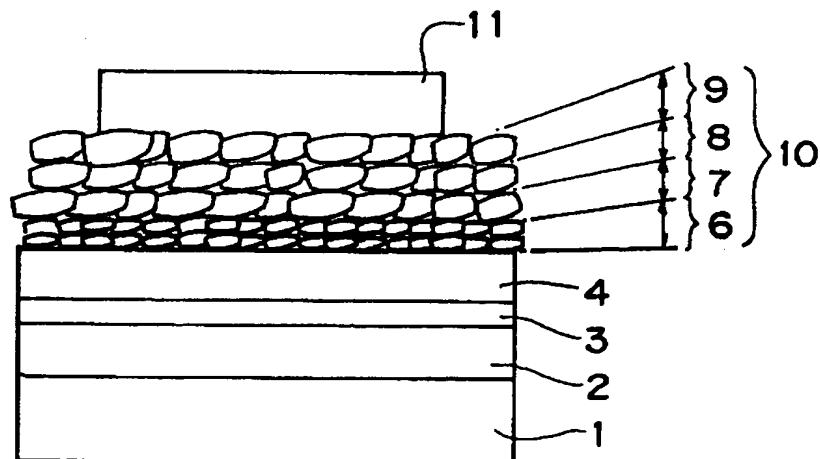
(a)



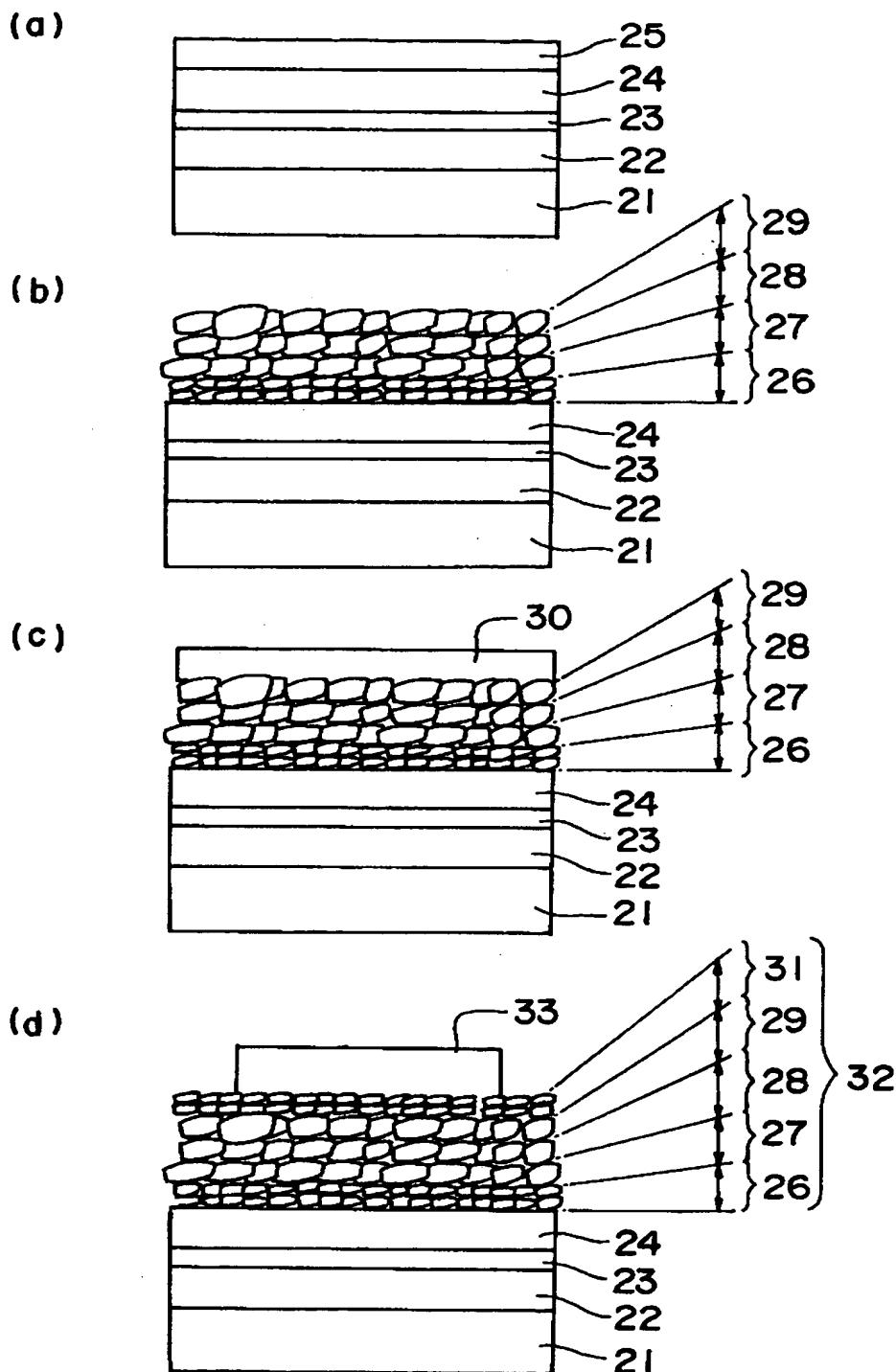
(b)



(c)

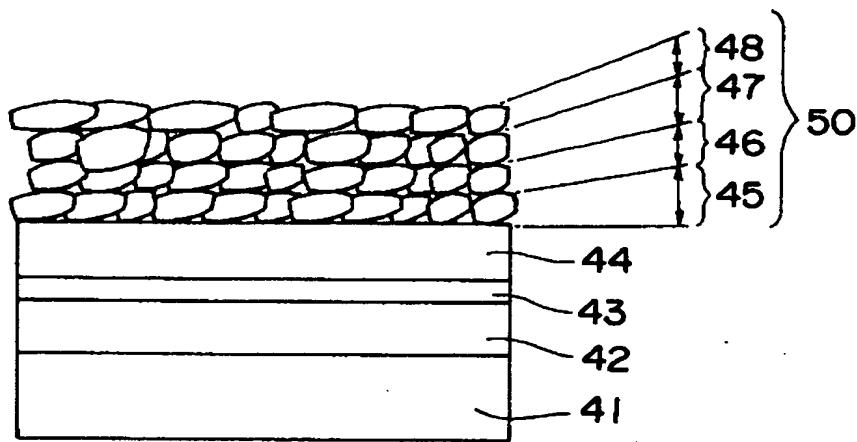


【図2】

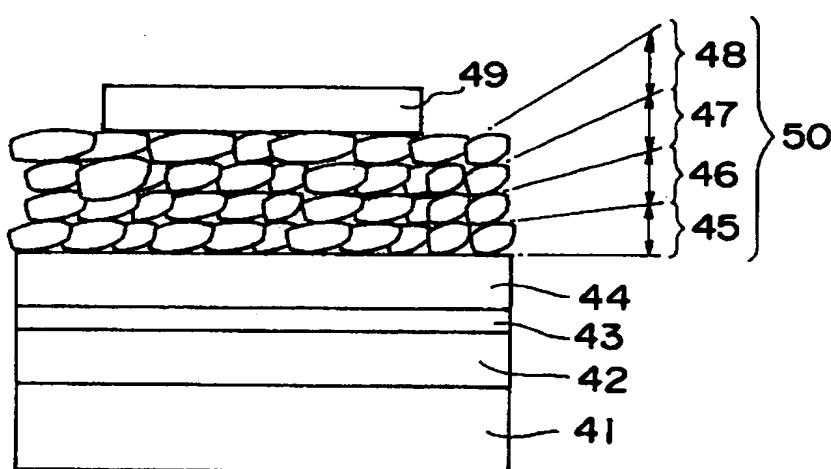


【図3】

(a)

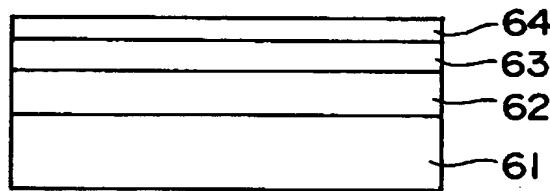


(b)

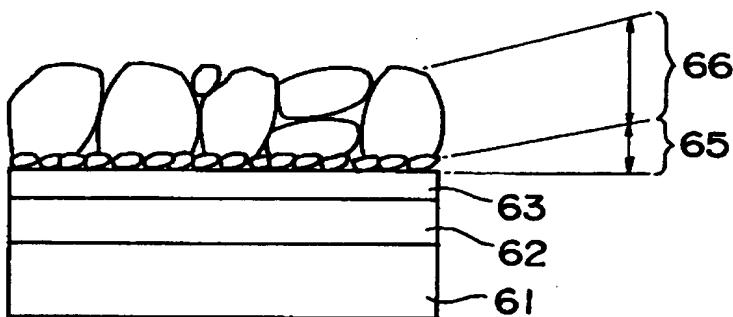


【図4】

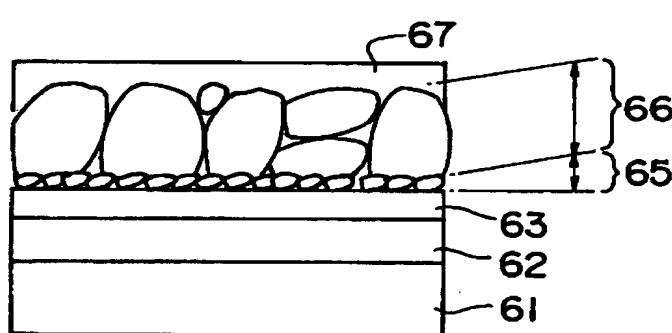
(a)



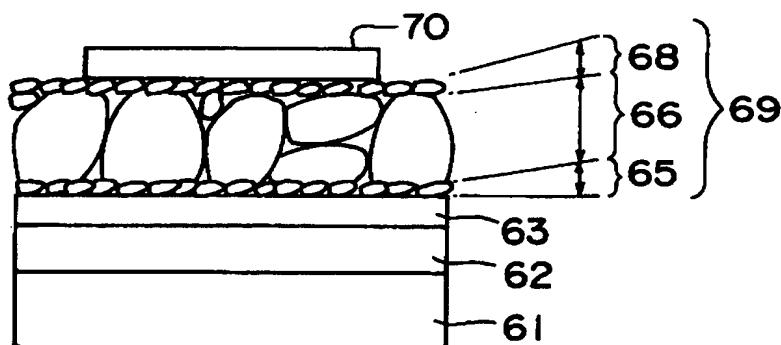
(b)



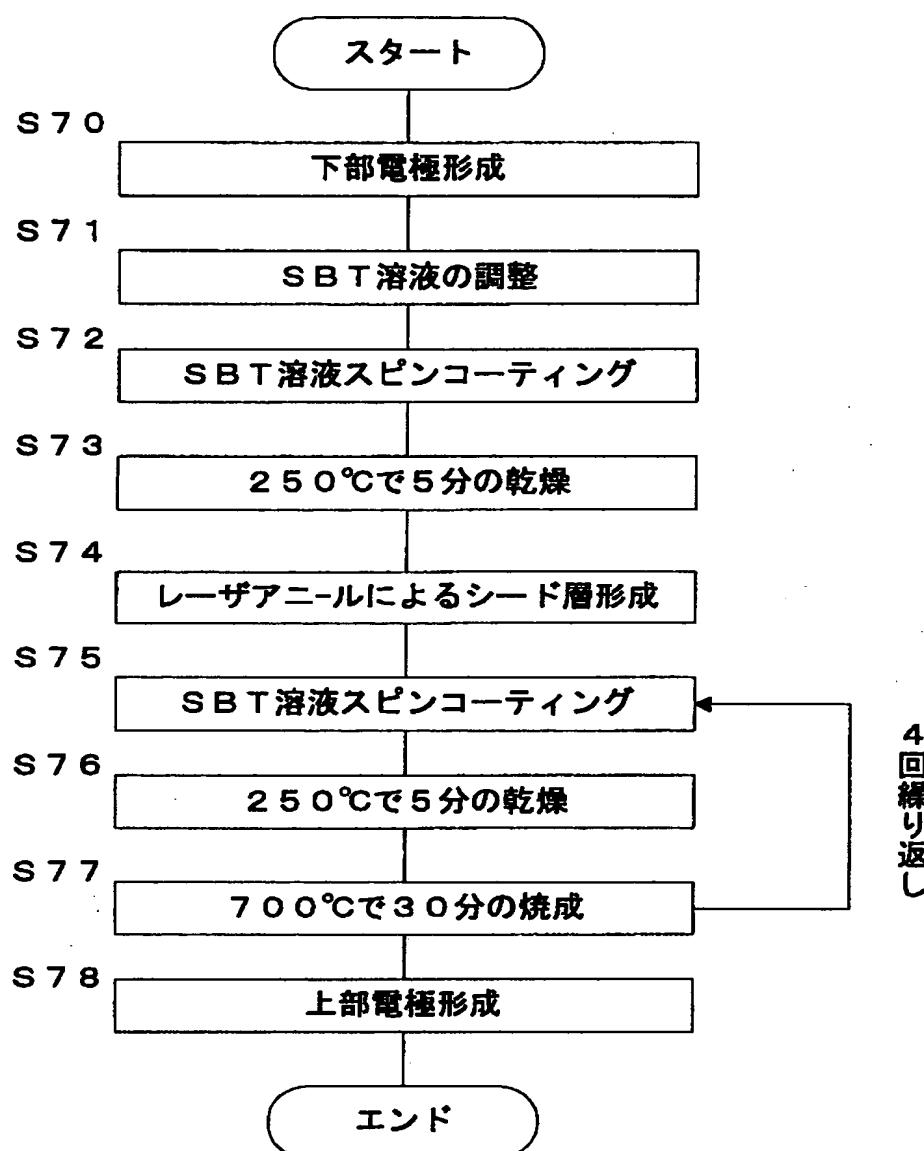
(c)



(d)

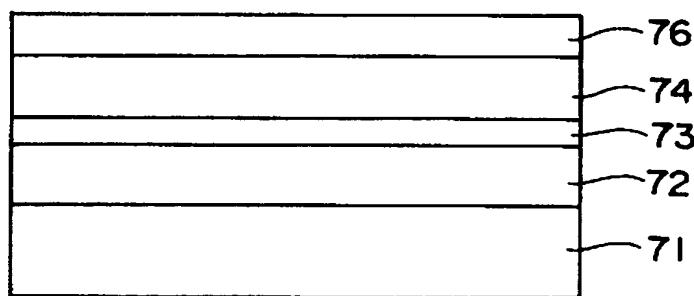


(圖 5)

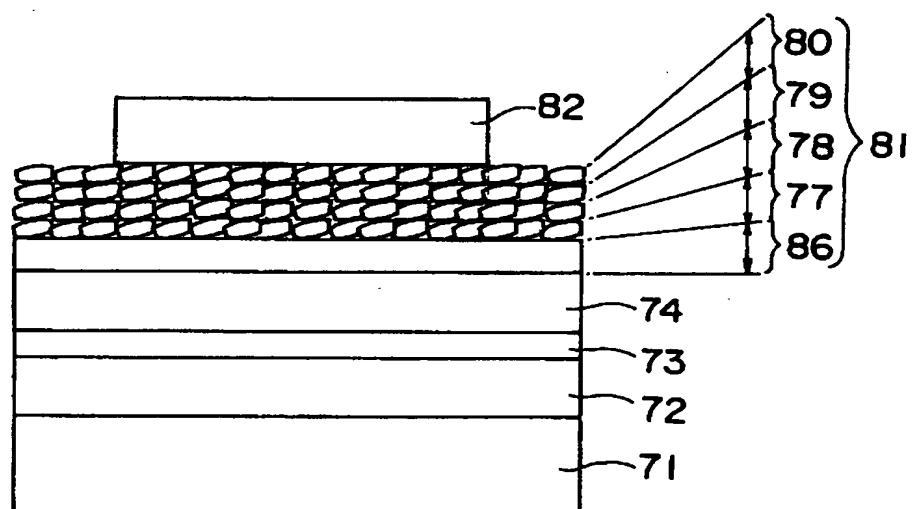


【図6】

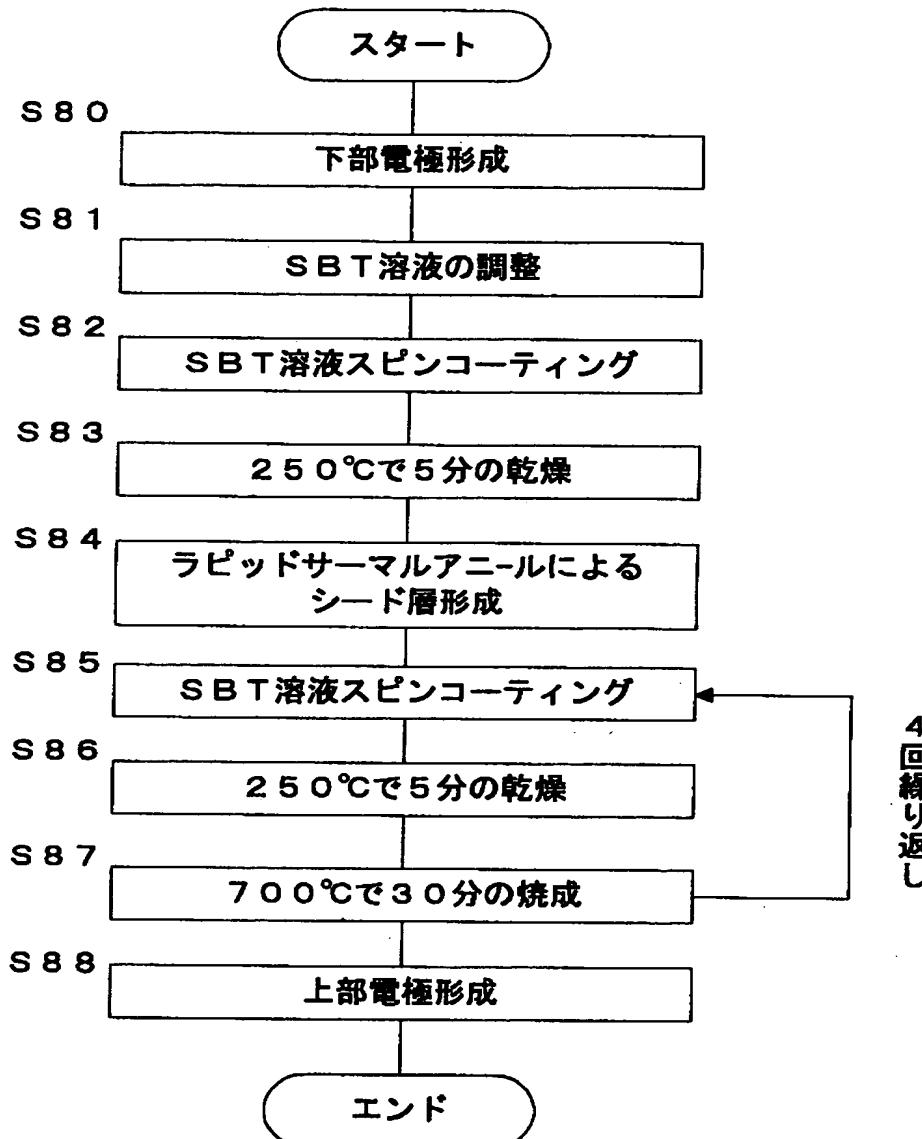
(a)



(b)



【図7】



【書類名】 要約書

【要約】

【課題】 強誘電体キャパシタの均一性を向上でき、かつ、記憶素子に用い
ることができる量産性が高い半導体装置およびその製造方法を提供する。

【解決手段】 シリコン基板1上に順次積層されたP_t下部電極4,強誘電
体薄膜10およびP_t上部電極11からなる強誘電体キャパシタを形成している
この強誘電体キャパシタにおける強誘電体薄膜10は複数のSBT層6,7,8,
9で構成されている。上記SBT層6の結晶粒はSBT層7,8,9の結晶粒より
も小さい。

【選択図】 図1

出願人履歴情報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区長池町22番22号
氏 名 シャープ株式会社